

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Tomoaki SHINO
U.S. Serial No. : Not Yet Assigned
Filing Date : September 12, 2003
For : ***SEMICONDUCTOR DEVICE FORMED IN
SEMICONDUCTOR LAYER ON INSULATING FILM***
Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

EXPRESS MAIL


Mailing Label Number: EV205872549US

Date of Deposit: September 12, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Charles Jackson

(Typed or printed name of person mailing paper or fee)



(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from
Japanese Application No. 2003-121630 filed April 25, 2003, a certified copy of which is
enclosed.


Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicant

By:


Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月25日

出 願 番 号

Application Number:

特願2003-121630

[ST.10/C]:

[JP2003-121630]

出 願 人

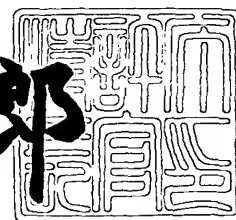
Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038211

【書類名】 特許願

【整理番号】 A000204445

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明の名称】 半導体装置

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 篠 智彰

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の活性領域に形成され、第 1 ゲート配線によりゲートが構成された第 1 導電型の第 1 の MOS トランジスタと、

前記第 1 の活性領域に隣接して配置された第 2 の活性領域と、

前記第 2 の活性領域に形成され、前記第 1 ゲート配線によりゲートが構成された第 2 導電型の第 2 の MOS トランジスタと、

前記第 2 の活性領域に形成され、第 2 ゲート配線によりゲートが構成された第 2 導電型の第 3 の MOS トランジスタと、

前記第 1 の活性領域に離間して形成された第 3 の活性領域と、

前記第 3 の活性領域に形成され、第 3 ゲート配線によりゲートが構成された第 1 導電型の第 4 の MOS トランジスタと、

前記第 3 の活性領域に隣接して配置された第 4 の活性領域と、

前記第 4 の活性領域に形成され、前記第 3 ゲート配線によりゲートが構成された第 2 導電型の第 5 の MOS トランジスタと、

前記第 4 の活性領域に形成され、第 4 ゲート配線によりゲートが構成された第 2 導電型の第 6 の MOS トランジスタとを具備し、

前記第 1 の活性領域上から突出した前記第 1 ゲート配線の端部は、前記第 1 の MOS トランジスタのゲート幅方向に対して斜めに配置され、前記第 3 の活性領域上から突出した前記第 3 ゲート配線の端部は、前記第 4 の MOS トランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする半導体装置。

【請求項 2】 素子分離領域内に形成された第 1 の活性領域と、

前記第 1 の活性領域に形成され、第 1 ゲート配線によりゲートが構成された第 1 導電型の第 1 の MOS トランジスタと、

前記素子分離領域内に前記第 1 の活性領域に隣接して配置された第 2 の活性領域と、

前記第 2 の活性領域に形成され、前記第 1 ゲート配線によりゲートが構成された第 2 導電型の第 2 の MOS トランジスタと、

前記第 2 の活性領域に形成され、第 2 ゲート配線によりゲートが構成された第 2 導電型の第 3 の MOS トランジスタと、

前記素子分離領域内に前記第 1 の活性領域に離間して形成された第 3 の活性領域と、

前記第 3 の活性領域に形成され、第 3 ゲート配線によりゲートが構成された第 1 導電型の第 4 の MOS トランジスタと、

前記素子分離領域内に前記第 3 の活性領域に隣接して配置された第 4 の活性領域と、

前記第 4 の活性領域に形成され、前記第 3 ゲート配線によりゲートが構成された第 2 導電型の第 5 の MOS トランジスタと、

前記第 4 の活性領域に形成され、第 4 ゲート配線によりゲートが構成された第 2 導電型の第 6 の MOS トランジスタとを具備し、

前記第 1 の活性領域上から突出し、前記素子分離領域上に存在する前記第 1 ゲート配線の端部は、前記第 1 の活性領域上に配置された前記第 1 ゲート配線の延伸方向に対して斜めに配置され、前記第 3 の活性領域上から突出し、前記素子分離領域上に存在する前記第 3 ゲート配線の端部は、前記第 3 の活性領域上に配置された前記第 3 ゲート配線の延伸方向に対して斜めに配置されていることを特徴とする半導体装置。

【請求項 3】 第 1 の活性領域に形成され、第 1 ゲート配線によりゲートが構成された第 1 導電型の第 1 の MOS トランジスタと、

前記第 1 の活性領域に隣接して配置された第 2 の活性領域と、

前記第 2 の活性領域に形成され、前記第 1 ゲート配線によりゲートが構成された第 2 導電型の第 2 の MOS トランジスタと、

前記第 2 の活性領域に形成され、第 2 ゲート配線によりゲートが構成された第 2 導電型の第 3 の MOS トランジスタと、

前記第 1 の活性領域に離間して形成された第 3 の活性領域と、

前記第 3 の活性領域に形成され、第 3 ゲート配線によりゲートが構成された第 1 導電型の第 4 の MOS トランジスタと、

前記第 3 の活性領域に隣接して配置された第 4 の活性領域と、

前記第 4 の活性領域に形成され、前記第 3 ゲート配線によりゲートが構成された第 2 導電型の第 5 の MOS トランジスタと、

前記第 4 の活性領域に形成され、第 4 ゲート配線によりゲートが構成された第 2 導電型の第 6 の MOS トランジスタとを具備し、

前記第 1 の活性領域のうち、電源電圧に接続されたコンタクトが接続される拡散層と逆側に配置された、前記第 1 の MOS トランジスタのノード側拡散層の長手方向と、前記第 1、第 2、第 3、第 4、第 5、及び第 6 の MOS トランジスタから構成される矩形状のユニットセルの長辺方向とが、20～30度の角度をなし、

前記第 3 の活性領域のうち、電源電圧に接続されたコンタクトが接続される拡散層と逆側に配置された、前記第 4 の MOS トランジスタのノード側拡散層の長手方向と、前記第 1、第 2、第 3、第 4、第 5、及び第 6 の MOS トランジスタから構成される矩形状のユニットセルの長辺方向とが、20～30度の角度をなしていることを特徴とする半導体装置。

【請求項 4】 前記第 2 の活性領域上から突出した前記第 1 ゲート配線の端部は、前記第 2 の MOS トランジスタのゲート幅方向に対して斜めに配置され、前記第 4 の活性領域上から突出した前記第 3 ゲート配線の端部は、前記第 5 の MOS トランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 前記第 2 の活性領域上から突出した前記第 2 ゲート配線の端部は、前記第 3 の MOS トランジスタのゲート幅方向に対して斜めに配置され、前記第 4 の活性領域上から突出した前記第 4 ゲート配線の端部は、前記第 6 の MOS トランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記第 1、第 2、第 3 の MOS トランジスタと、前記第 4、第 5、第 6 の MOS トランジスタとは、前記第 1 の MOS トランジスタと前記第 4 の MOS トランジスタとの間の中心点を基準として、点対称に配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 7】 前記第 1、第 2、第 3、第 4、第 5、及び第 6 の MOS トラ

ンジスタは、矩形状のユニットセルを構成し、前記ユニットセルの外部には前記ユニットセルの各辺を基準として、線対称に他のユニットセルが配置されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記第 1 の活性領域上から突出した前記第 1 ゲート配線の端部、及び前記第 3 の活性領域上から突出した前記第 3 ゲート配線の端部は、前記ユニットセルの長辺方向に対して斜めに配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 9】 前記第 1 の活性領域上から突出した前記第 1 ゲート配線の端部と前記第 3 の活性領域とに共通に接続された第 1 の共通コンタクトと、

前記第 3 の活性領域上から突出した前記第 3 ゲート配線の端部と前記第 1 の活性領域とに共通に接続された第 2 の共通コンタクトと、

をさらに具備することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 10】 前記第 1 の共通コンタクトの長径方向と前記第 1 の活性領域上から突出した前記第 1 ゲート配線の端部とが同一方向に配置されており、

前記第 2 の共通コンタクトの長径方向と前記第 3 の活性領域上から突出した前記第 3 ゲート配線の端部とが同一方向に配置されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記第 1 の MOS トランジスタのゲート幅方向、及び前記第 4 の MOS トランジスタのゲート幅方向と、前記第 1、第 2、第 3、第 4、第 5、及び第 6 の MOS トランジスタから構成される矩形状のユニットセルの長辺方向とが、20～30度の角度をなしていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 12】 前記第 1、第 2、第 3、及び第 4 の活性領域は、絶縁膜上に形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、絶縁膜上の半導体層に形成された半導体装置に関するものであり、特に絶縁膜上の半導体層に形成されたスタティックランダムアクセスメモリに関するものである。

【 0 0 0 2 】

【従来の技術】

スタティックランダムアクセスメモリ（以下、SRAMと記す）に代表される半導体メモリは、近年ますます大規模化されつつある。大規模なSRAMを実現するために、セル面積を小さくし、かつ製造プロセスの困難度を抑制することができるセルレイアウトが強く望まれている。

【 0 0 0 3 】

従来より、6個のトランジスタで構成された6トランジスタ型SRAMセルのレイアウトは各種開示されている（例えば、特許文献1参照）。また、図9には、前記特許文献1とは別のレイアウトの例を示した。これら2つのセルレイアウトは、点Cを中心にセル内部のパターンを180度回転すると元のパターンに重なり、隣接セルがセル境界線を軸とする線対称なパターンとなっていることを特徴としている。これらレイアウトは、レジスト形成プロセスのマージンが比較的大きく、将来の微細なSRAMセルのレイアウトとして期待されている。

【 0 0 0 4 】

図9に示したレイアウトは、N+型拡散層とP+型拡散層とが隣接する隣接領域（Butting diffusion）を有している。この隣接領域を用いれば、特許文献1に示したレイアウトに比べてSRAMセルの面積を小さくすることができる。図9に示したレイアウトは、絶縁膜上に形成されたシリコン層（厚さが100nm程度）を有する薄膜SOI基板を用いて、ウェル領域を形成せず拡散層にシリサイドを貼り付けることにより、N+型拡散層とP+型拡散層を接続する場合に有効なレイアウトである。SOI（Silicon on insulater）基板とは、絶縁膜上にシリコン層等の半導体層を形成した構造を有する基板である。

【 0 0 0 5 】

また、図9に示したSRAMセル101では、ゲート配線GL上と活性領域（Active area）AA上に同時に開口した穴を用いて、これらを共通に接続する共

通コンタクト (Shared contact) SCを形成している。この共通コンタクトSCを用いることにより、SRAMセル101の面積を小さくすることができる。なお、CVCは電源電圧Vccに接続されたコンタクト、CVSは基準電位Vssに接続されたコンタクト、CBLはビット線に接続されたコンタクトをそれぞれ示している。

【0006】

【特許文献1】

特開平10-178110号公報

【0007】

【発明が解決しようとする課題】

しかしながら、前述の図9に示したセルレイアウトにはいくつかの問題点がある。

【0008】

まず第1に、図9にD1で示した長さ0.1 μ m程度のゲート配線間の狭スペースは、マスクを作成するのが非常に困難な上、レジストパターンを形成するプロセスのマージンも少ないので、ゲート配線間の寸法変動が大きくなる。このため、大規模なSRAMを再現性良く製造することは非常に困難である。

【0009】

第2に、図9にD2で示したゲート配線間の狭スペースは、Pで示した突起部の影響により（すなわち、突起部がない場合に比べて）レジスト残りが発生しやすく、レジストパターンを形成するプロセスのマージンが少ないという問題がある。

【0010】

第3に、共通コンタクトSCの長径方向の寸法は、ばらつきが短径方向よりも大きい。これは、マスク形成プロセスとレジスト形成プロセスのばらつきによる。そのため、となりのゲート配線とのショートが懸念され、SRAMセル101の縦方向（短辺方向）の寸法を小さくできないという問題がある。

【0011】

第4に、図9に示したレイアウトでは、D3で示したpチャネルMOSトラン

ジスタと p チャネル MOS トランジスタとの素子分離幅として、リソグラフィの解像限界程度の距離を確保する必要がある。また、D 4 で示した隣接領域の横幅は、N 型不純物と P 型不純物をイオン注入する際のレジストマスクの合わせずれを考慮した距離だけ確保する必要がある。そのため、SRAM セル 1 0 1 の横方向（長辺方向）の寸法を小さくできないという問題がある。

【 0 0 1 2 】

【課題を解決するための手段】

そこでこの発明は、前記課題に鑑みてなされたものであり、面積を小さくでき、かつリソグラフィのマージンを確保できるセルレイアウトを有する半導体装置を提供することを目的とする。

【 0 0 1 3 】

前記目的を達成するために、この発明の一実施形態の半導体装置は、第 1 の活性領域に形成され、第 1 ゲート配線によりゲートが構成された第 1 導電型の第 1 の MOS トランジスタと、前記第 1 の活性領域に隣接して配置された第 2 の活性領域と、前記第 2 の活性領域に形成され、前記第 1 ゲート配線によりゲートが構成された第 2 導電型の第 2 の MOS トランジスタと、前記第 2 の活性領域に形成され、第 2 ゲート配線によりゲートが構成された第 2 導電型の第 3 の MOS トランジスタと、前記第 1 の活性領域に離間して形成された第 3 の活性領域と、前記第 3 の活性領域に形成され、第 3 ゲート配線によりゲートが構成された第 1 導電型の第 4 の MOS トランジスタと、前記第 3 の活性領域に隣接して配置された第 4 の活性領域と、前記第 4 の活性領域に形成され、前記第 3 ゲート配線によりゲートが構成された第 2 導電型の第 5 の MOS トランジスタと、前記第 4 の活性領域に形成され、第 4 ゲート配線によりゲートが構成された第 2 導電型の第 6 の MOS トランジスタとを具備し、前記第 1 の活性領域上から突出した前記第 1 ゲート配線の端部は、前記第 1 の MOS トランジスタのゲート幅方向に対して斜めに配置され、前記第 3 の活性領域上から突出した前記第 3 ゲート配線の端部は、前記第 4 の MOS トランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする。

【 0 0 1 4 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0015】

[第1の実施の形態]

まず、この発明の第1の実施の形態の半導体装置について説明する。

【0016】

図1は、第1の実施の形態のSOI基板に形成された6トランジスタ型SRAMセルを有する半導体装置の構成を示す平面図である。

【0017】

絶縁膜上のシリコン半導体層のSRAMセル11内には、ロード(load)トランジスタLO1、トランスファ(transfer)トランジスタTR1、及びドライバ(driver)トランジスタDR1の3つのトランジスタが配置されている。さらに、SRAMセル11内には、点Cを基準として、前記ロードトランジスタLO1、トランスファトランジスタTR1、及びドライバトランジスタDR1に対し、ロードトランジスタLO2、トランスファトランジスタTR2、及びドライバトランジスタDR2が点対象に配置されている。

【0018】

SRAMセル11内には、PチャネルMOSトランジスタが形成されるPMOS領域と、このPMOS領域を挟むように、NチャネルMOSトランジスタが形成される2つのNMOS領域が配置されている。PMOS領域には、素子分離領域12により分離された活性領域(素子領域)PD1、PD2が形成されている。活性領域PD1、PD2は、シリコン層などの半導体領域からなる。さらに、活性領域PD1には、PチャネルMOSトランジスタであるロードトランジスタLO1が形成され、活性領域PD2にはPチャネルMOSトランジスタであるロードトランジスタLO2が形成されている。

【0019】

また、PMOS領域の右側のNMOS領域には、素子分離領域12により分離された活性領域(素子領域)ND1が形成されている。活性領域ND1は、シリ

コン層などの半導体層からなる。さらに、活性領域ND1には、NチャネルMOSトランジスタであるトランスファートランジスタTR1、及びドライバトランジスタDR1が形成されている。

【0020】

PMOS領域の左側のNMOS領域には、素子分離領域12により分離された活性領域（素子領域）ND2が形成されている。活性領域ND2は、シリコン層などの半導体層からなる。さらに、活性領域ND2には、NチャネルMOSトランジスタであるトランスファートランジスタTR2、及びドライバトランジスタDR2が形成されている。

【0021】

また、図1においてSRAMセル11の右側には、SRAMセル11の境界線11Aを基準として、SRAMセル11が線対称に形成されている。すなわち、ドライバトランジスタDR1の右側には隣接してドライバトランジスタDR3が配置され、トランスファートランジスタTR1の右側には隣接してトランスファートランジスタTR3が配置されている。

【0022】

同様に、図1においてSRAMセル11の左側には、SRAMセル11の境界線11Bを基準として、SRAMセル11が線対称に形成されている。すなわち、ドライバトランジスタDR2の左側には隣接してドライバトランジスタDR4が配置され、トランスファートランジスタTR2の左側には隣接してトランスファートランジスタTR4が配置されている。

【0023】

図1においてSRAMセル11の上側には、SRAMセル11の境界線11Cを基準として、SRAMセル11が線対称に形成されている。さらに、SRAMセル11の下側には、SRAMセル11の境界線11Dを基準として、SRAMセル11が線対称に形成されている。

【0024】

また、ロードトランジスタLO1が形成された活性領域PD1上の一方側には、電源電圧Vccに接続されたコンタクトC1が形成される。さらに、活性領域P

D 1 上の他方側、及びロードトランジスタ L O 2 のゲートフリンジ F 2 上には、これらに共通に接続された共通コンタクト S C 1 が形成されている。同様に、ロードトランジスタ L O 2 が形成された活性領域 P D 2 上の一方側には、電源電圧 Vcc に接続されたコンタクト C 2 が形成される。さらに、活性領域 P D 2 上の他方側、及びロードトランジスタ L O 1 のゲートフリンジ F 1 上には、これらに共通に接続された共通コンタクト S C 2 が形成されている。

【 0 0 2 5 】

トランスファトランジスタ T R 1 が形成された活性領域 N D 1 上の一方側には、ビット線に接続されたコンタクト C 3 が形成されている。同様に、トランスファトランジスタ T R 2 が形成された活性領域 N D 2 上の一方側には、ビット線に接続されたコンタクト C 4 が形成されている。

【 0 0 2 6 】

さらに、ドライバトランジスタ D R 1 が形成された活性領域 N D 1 上の他方側には、基準電位 Vss に接続されたコンタクト C 5 が形成されている。同様に、ドライバトランジスタ D R 2 が形成された活性領域 N D 2 上の他方側には、基準電位 Vss に接続されたコンタクト C 6 が形成されている。

【 0 0 2 7 】

前記ロードトランジスタ L O 1 のゲートフリンジ F 1 は、ロードトランジスタ L O 1 におけるチャネル上のゲート幅方向（チャネル幅方向）に対して斜めに形成されている。言い換えると、ロードトランジスタ L O 1 のゲートフリンジ F 1 は、S R A M セル 1 1 の長辺方向の境界線 1 1 C、1 1 D に対して斜めに形成されている。前記ロードトランジスタ L O 2 のゲートフリンジ F 2 も、同様にロードトランジスタ L O 2 におけるチャネル上のゲート幅方向に対して斜めに形成されている。言い換えると、ロードトランジスタ L O 2 のゲートフリンジ F 2 は、境界線 1 1 C、1 1 D に対して斜めに形成されている。

【 0 0 2 8 】

例えば、ロードトランジスタ L O 1 のゲート幅方向とゲートフリンジ F 1 とは、約 2 0 度の角度をなすように配置される。同様に、ロードトランジスタ L O 2 のゲート幅方向とゲートフリンジ F 2 とは、約 2 0 度の角度をなすように配置さ

れる。前記ゲートフリンジは、活性領域上から突出し、素子分離領域 1 2 上に存在するゲート配線の端部を指す。

【 0 0 2 9 】

このように、ロードトランジスタのゲートフリンジが、チャネル上のゲート幅方向（チャネル幅方向）に対して斜めに形成されたレイアウトを持つ S R A M セル 1 1 では、図 9 に示した従来例に比べて、ロードトランジスタ L O 2 のゲートフリンジ F 2 とトランスファトランジスタ T R 1 のゲートフリンジとの距離 D 1 を長くすることができる。これにより、S R A M セル 1 1 のサイズを大きくすることなく、ゲートフリンジ間の距離 D 1 を長くすることができるため、マスク形成プロセスとレジスト形成プロセスのマージンを確保することができる。

【 0 0 3 0 】

なお、ロードトランジスタ L O 1 のゲートフリンジ F 1 とゲート幅方向との角度が大きすぎると、S R A M セル 1 1 内のもう一方のロードトランジスタ L O 2 のゲート電極との距離が小さくなるため、レジスト形成プロセスのマージンが小さくなる。よって、ロードトランジスタのゲートフリンジとゲート幅方向との角度は最大でも約 2 0 度とするのが望ましい。

【 0 0 3 1 】

また、前記トランスファトランジスタ T R 1 のゲートフリンジ F 3 は、トランスファトランジスタ T R 1 におけるチャネル上のゲート幅方向（チャネル幅方向）に対して斜めに形成されている。言い換えると、トランスファトランジスタ T R 1 のゲートフリンジ F 3 は、S R A M セル 1 1 の長辺方向の境界線 1 1 C、1 1 D に対して斜めに形成されている。前記トランスファトランジスタ T R 2 のゲートフリンジ F 4 も、同様にトランスファトランジスタ T R 2 におけるチャネル上のゲート幅方向に対して斜めに形成されている。言い換えると、トランスファトランジスタ T R 2 のゲートフリンジ F 4 は、境界線 1 1 C、1 1 D に対して斜めに形成されている。

【 0 0 3 2 】

例えば、トランスファトランジスタ T R 1 のゲート幅方向とゲートフリンジ F 3 とは、約 2 0 度の角度をなすように配置される。同様に、トランスファトラン

ジスタTR2のゲート幅方向とゲートフリンジF4とは、約20度の角度をなすように配置される。

【0033】

このように、トランスファートランジスタのゲートフリンジが、チャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されたレイアウトを持つSRAMセル11では、図9に示した従来例に比べて、トランスファートランジスタTR1のゲートフリンジF3とロードトランジスタLO2のゲートフリンジF2との距離D1を長くすることができる。これにより、SRAMセル11のサイズを大きくすることなく、ゲートフリンジ間の距離D1を長くすることができるため、マスク形成プロセスとレジスト形成プロセスのマージンを確保することができる。

【0034】

さらに、トランスファートランジスタTR1のゲートフリンジF3と共通コンタクトSC1との距離を長くすることができるので、ゲートフリンジF3と共通コンタクトSC1との間のショートを減らすことができ、不良率を低減することができる。

【0035】

なお、トランスファートランジスタTR1のゲートフリンジF3とゲート幅方向との角度が大きすぎると、ビット線に接続されたコンタクトC3との距離が小さくなる。同様に、トランスファートランジスタTR2のゲートフリンジF4とゲート幅方向との角度が大きすぎると、ビット線に接続されたコンタクトC4との距離が小さくなる。よって、トランスファートランジスタのゲートフリンジとゲート幅方向との角度は最大でも約20度とするのが望ましい。

【0036】

また、図9に示した従来のレイアウトでは、あるSRAMセル内のドライバトランジスタのチャンネル上のゲート電極と、隣のSRAMセルのドライバトランジスタのチャンネル上のゲート電極とが、SRAMセルの長辺方向に平行な同一直線上に配置されており、これらドライバトランジスタのゲートフリンジも、前記同一直線上に距離D2を隔てて向かい合っている。

【 0 0 3 7 】

これに対して、この第 1 の実施の形態では、ドライバトランジスタ DR 1、DR 2 のゲートフリンジ F 5、F 6 を、SRAM セルの長辺方向の境界線 1 1 C、1 1 D に対し斜めに形成する。言い換えると、前記ドライバトランジスタ DR 1 のゲートフリンジ F 5 は、ドライバトランジスタ DR 1 におけるチャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されており、前記ドライバトランジスタ DR 2 のゲートフリンジ F 6 は、ドライバトランジスタ DR 2 におけるチャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されている。

【 0 0 3 8 】

例えば、ドライバトランジスタ DR 1 のゲート幅方向とゲートフリンジ F 5 とは、約 2 0 度の角度をなすように配置される。同様に、ドライバトランジスタ DR 2 のゲート幅方向とゲートフリンジ F 6 とは、約 2 0 度の角度をなすように配置される。フリンジ F 5 を形成する方向は、トランスファトランジスタ TR 1 のゲート配線の突起部 P がある方向と逆の方向であり、フリンジ F 6 を形成する方向は、トランスファトランジスタ TR 2 のゲート配線の突起部 P がある方向と逆の方向である。

【 0 0 3 9 】

このように、ドライバトランジスタのゲートフリンジが、チャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されたレイアウトを持つ SRAM セル 1 1 では、図 9 に示した従来例に比べて、ドライバトランジスタ DR 1 のゲートフリンジ F 5 と、隣の SRAM セルのドライバトランジスタ DR 3 のゲートフリンジとの距離 D 2 を長くすることができる。同様に、ドライバトランジスタ DR 2 のゲートフリンジ F 6 と、隣の SRAM セルのドライバトランジスタ DR 4 のゲートフリンジとの距離を長くすることができる。これにより、SRAM セル 1 1 のサイズを大きくすることなく、ゲートフリンジ間の距離 D 2 を長くすることができるため、マスク形成プロセスとレジスト形成プロセスのマージンを確保することができる。さらに、ゲートフリンジ F 5 あるいは F 6 と突起部 P とが接近することで生じるレジスト残りを防ぐことができる。

【 0 0 4 0 】

なお、ドライバトランジスタDR1のゲートフリンジF5とゲート幅方向との角度が大きすぎると、基準電位Vssに接続されたコンタクトC5との距離が小さくなる。同様に、ドライバトランジスタDR2のゲートフリンジF6とゲート幅方向との角度が大きすぎると、基準電位Vssに接続されたコンタクトC6との距離が小さくなる。よって、ドライバトランジスタのゲートフリンジとゲート幅方向との角度は最大でも約20度とするのが望ましい。

【 0 0 4 1 】

以上説明したようにこの第1の実施の形態では、前記トランジスタのゲートフリンジを、そのゲート幅方向（チャネル幅方向）に対して斜めに形成することにより、言い換えると、前記トランジスタのゲートフリンジを、活性領域上に配置されたゲート配線の延伸方向に対して斜めに配置することにより、ゲートフリンジ間の距離を長くすることができる。これにより、リソグラフィ工程のマージンを確保しつつ、SRAMセルの長辺方向の長さを短縮できるため、SRAMセルの長辺方向の寸法を小さくすることが可能となる。

【 0 0 4 2 】

なお、ゲートフリンジの仕上がり形状が直線的ではなく、弧を描くように形成された場合、厳密な意味では角度を定義することはできないが、この第1の実施形態の効果を享受することができる。また、図1にはロードトランジスタ、トランスファトランジスタ、及びドライバトランジスタのゲートフリンジが全て斜めに形成された例を示したが、これらのトランジスタのうち、少なくともいずれかのトランジスタのゲートフリンジのみを斜めに形成するようにしてもよい。

【 0 0 4 3 】

[第2の実施の形態]

次に、この発明の第2の実施の形態の半導体装置について説明する。この第2の実施の形態は、前記第1の実施の形態の構成に加えて、さらに共通コンタクトを斜めに配置したものである。前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。

【 0 0 4 4 】

図 2 は、第 2 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A M セルを有する半導体装置の構成を示す平面図である。

【 0 0 4 5 】

前記第 1 の実施の形態では、共通コンタクト S C 1（または S C 2）の長径方向と、ロードトランジスタ L O 2（またはロードトランジスタ L O 1）のゲート幅方向（あるいは S R A M セル境界線の長辺方向）とが 9 0 度の角度をなすように配置されていた。

【 0 0 4 6 】

この第 2 の実施の形態では、図 2 に示すように、共通コンタクト S C 1 の長径方向は、ロードトランジスタ L O 2 のゲート幅方向（あるいは S R A M セル境界線の長辺方向）に対して斜めに配置される。同様に、共通コンタクト S C 2 の長径方向は、ロードトランジスタ L O 1 のゲート幅方向に対して斜めに配置される。

【 0 0 4 7 】

例えば、共通コンタクト S C 1 の長径方向とロードトランジスタ L O 2 のゲート幅方向とは、約 2 0 ～ 3 0 度の角度をなすように配置される。同様に、共通コンタクト S C 2 の長径方向とロードトランジスタ L O 1 のゲート幅方向とは、約 2 0 ～ 3 0 度の角度をなすように配置される。

【 0 0 4 8 】

このようなレイアウトを持つ S R A M セル 1 1 では、共通コンタクトの長径の寸法がばらついても、共通コンタクトとゲート配線との間の距離のばらつきを小さくすることができる。このため、S R A M セルの短辺方向の寸法を小さくすることが可能になる。

【 0 0 4 9 】

以上説明したようにこの第 2 の実施の形態では、前記トランジスタのゲートフリンジを、そのゲート幅方向（チャンネル幅方向）に対して斜めに形成すると共に、共通コンタクトの長径方向をトランジスタのゲート幅方向（あるいは S R A M セル境界線の長辺方向）に対して斜めに配置することにより、ゲートフリンジ間

の距離を長くすることができると共に、共通コンタクトとゲート配線との距離のばらつきを小さくすることができる。これにより、リソグラフィ工程のマージンを確保しつつ、SRAMセルの長辺方向、及び短辺方向の寸法を小さくでき、SRAMセルの面積を小さくすることができる。

【 0 0 5 0 】

[第3の実施の形態]

次に、この発明の第3の実施の形態の半導体装置について説明する。図9に示した従来のレイアウトでは、ロードトランジスタ同士の最小素子分離幅の方向D3がSRAMセルの長辺方向の境界線に対し平行であった。

【 0 0 5 1 】

この第3の実施の形態では、ロードトランジスタのノード側拡散層の長手方向と、SRAMセル11の長辺方向の境界線11C、11Dとが斜めに配置される。前記ロードトランジスタのノード側拡散層は、電源電圧Vccに接続されたコンタクトC1が接続されていない拡散層を指す。すなわち、前記ノード側拡散層は、電源電圧Vccに接続されたコンタクトC1が接続されるソース/ドレイン拡散層と逆側に配置されたソース/ドレイン拡散層を示す。さらに、トランジスタのゲート幅方向、及び共通コンタクトSC1、SC2の長径方向と、SRAMセル11の長辺方向の境界線11C、11Dとが斜めに配置される。前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。

【 0 0 5 2 】

図3は、第3の実施の形態のSOI基板に形成された6トランジスタ型SRAMセルを有する半導体装置の構成を示す平面図である。

【 0 0 5 3 】

図3に示すように、ロードトランジスタLO1のノード側拡散層LON1は、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。また、ロードトランジスタLO1のゲート幅方向が、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。

【 0 0 5 4 】

同様に、ロードトランジスタLO2のノード側拡散層LON2は、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。また、ロードトランジスタLO2のゲート幅方向が、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。

【0055】

例えば、ロードトランジスタLO1のノード側拡散層LON1とSRAMセル11の長辺方向とは、約20～30度の角度をなすように配置される。同様に、ロードトランジスタLO2のノード側拡散層LON2とSRAMセル11の長辺方向とは、約20～30度の角度をなすように配置される。

【0056】

これに伴って、ロードトランジスタ同士の最小素子分離幅の方向D3は、SRAMセル11の長辺方向の境界線11C、11Dに対して60度～70度の角度をなすように配置される。

【0057】

このようなレイアウトを持つSRAMセル11では、SRAMセル11の長辺方向の寸法を、図9に示した従来例の約76%に短くすることができる。SRAMセル11の短辺方法は、従来例と同じ寸法を確保できるので、セル面積を従来例の約76%に縮小することができる。

【0058】

また、この実施の形態では、トランスファートランジスタTR1（またはTR2）のゲート配線は、従来例のような突起部Pを持たず、均一な幅を有するパターンとする。さらに、トランスファートランジスタTR1（またはTR2）のゲート配線は、コンタクトC7（またはC8）の中央を横切るような配置とすることが望ましい。このとき、トランスファートランジスタTR1（またはTR2）のゲート配線上のコンタクトC7（またはC8）と前記ゲート配線との接触部分におけるゲート配線の幅が、前記コンタクトC7（またはC8）の径よりも小さくなる。このような配置により、SRAMセル11の短辺方向の寸法の増大を抑制しつつ、距離D2で示したゲート配線間におけるリソグラフィ工程のマージンを確保することができる。

【0059】

また、ドライバトランジスタDR1のチャンネル上のゲート幅方向と、SRAMセル11の長辺方向の境界線11C、11Dとが、35度～45度の角度をなすように配置される。この配置によれば、図9に示した従来例に比べてセルサイズを増大させることなく、ドライバトランジスタDR1のチャンネル幅が増大するので、スタティックノイズマージンを向上させることができる。

【0060】

また、隣り合う共通コンタクトSC1とSC2との距離が、長径と同程度確保できるため、レジスト形成プロセスや電極の形成を安定して行うことができる。

【0061】

以下に、前記第3の実施の形態の半導体装置の断面構造について説明しておく。図4は、図3に示したSRAMセルのA-B線に沿った断面図である。

【0062】

図4に示すように、半導体基板21上には、絶縁膜、例えば酸化膜22が形成されている。酸化膜22内には、活性領域としてのシリコン層23A、23Bが形成される。シリコン層23A上にはゲート絶縁膜24が形成され、ゲート絶縁膜24上にはゲート配線25及びシリサイド層26が形成されている。このゲート配線25及びシリサイド層26の側面には、酸化膜などのゲート側壁膜27が形成されている。

【0063】

さらに、シリコン層23B上にはシリサイド層28が形成されている。シリサイド層26、28上には、これらを接続するコンタクトSC1としてのタングステン膜29が形成される。さらに、前記構造上には層間絶縁膜30が形成され、層間絶縁膜30内には第2の配線31、及び第3の配線32が形成されている。

【0064】

また、図5は、図3に示したSRAMセルのE-F線に沿った断面図である。

【0065】

図5に示すように、半導体基板21上には、絶縁膜、例えば酸化膜22が形成されている。酸化膜22上には、ゲート配線25及びシリサイド層26が形成さ

れる。このゲート配線 2 5 及びシリサイド層 2 6 の側面には、酸化膜などのゲート側壁膜 2 7 が形成されている。

【 0 0 6 6 】

さらに、前記構造上には層間絶縁膜 3 0 が形成され、層間絶縁膜 3 0 内のシリサイド層 2 6 上には、このシリサイド層 2 6 と第 1 の配線 3 3 とを接続するコンタクト C 7 としてのタングステン膜 2 9 が形成される。タングステン膜 2 9 上には、前記第 1 の配線 3 3 が形成され、第 1 の配線 3 3 上には第 2 配線下コンタクト 3 4 を介して第 2 の配線 3 1 が形成されている。さらに、第 2 の配線 3 1 の上方には、第 3 の配線 3 2 が形成されている。

【 0 0 6 7 】

また、図 6 に、図 3 に示した S R A M セルにおける、第 1 の配線 3 3、第 1 配線下コンタクト、及び共通コンタクトのパターンを示す。さらに、図 7 に、第 2 の配線 3 1、及び第 2 配線下コンタクトのパターンを示し、図 8 に第 3 の配線 3 2、及び第 3 配線下コンタクトのパターンを示す。なお、図 6 ～図 8 おいて、コンタクトのパターンは破線にて表した。

【 0 0 6 8 】

以上説明したようにこの第 3 の実施の形態では、ロードトランジスタのノード側拡散層を、S R A M セルの長辺方向に対して斜めに配置する、トランスファトランジスタのゲート配線は突起部 P を持たず、均一な幅を有するパターンとする。ドライバトランジスタのチャネル上のゲート幅方向と、S R A M セルの長辺方向とが、3 5 度～4 5 度の角度をなすように配置する。これらにより、ゲート配線間の距離を確保することができ、かつ S R A M セルの面積を縮小することができる。

【 0 0 6 9 】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 0 7 0 】

【発明の効果】

以上述べたようにこの発明によれば、面積を小さくでき、かつリソグラフィのマージンを確保できるセルレイアウトを有する半導体装置を提供することが可能である。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A M セルを有する半導体装置の構成を示す平面図である。

【図 2】 この発明の第 2 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A M セルを有する半導体装置の構成を示す平面図である。

【図 3】 この発明の第 3 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A M セルを有する半導体装置の構成を示す平面図である。

【図 4】 図 3 に示した半導体装置の A - B 線に沿った断面図である。

【図 5】 図 3 に示した半導体装置の E - F 線に沿った断面図である。

【図 6】 図 3 に示した半導体装置における、第 1 の配線及びコンタクト部のパターンを示す図である。

【図 7】 図 3 に示した半導体装置における、第 2 の配線及びコンタクト部のパターンを示す図である。

【図 8】 図 3 に示した半導体装置における、第 3 の配線及びコンタクト部のパターンを示す図である。

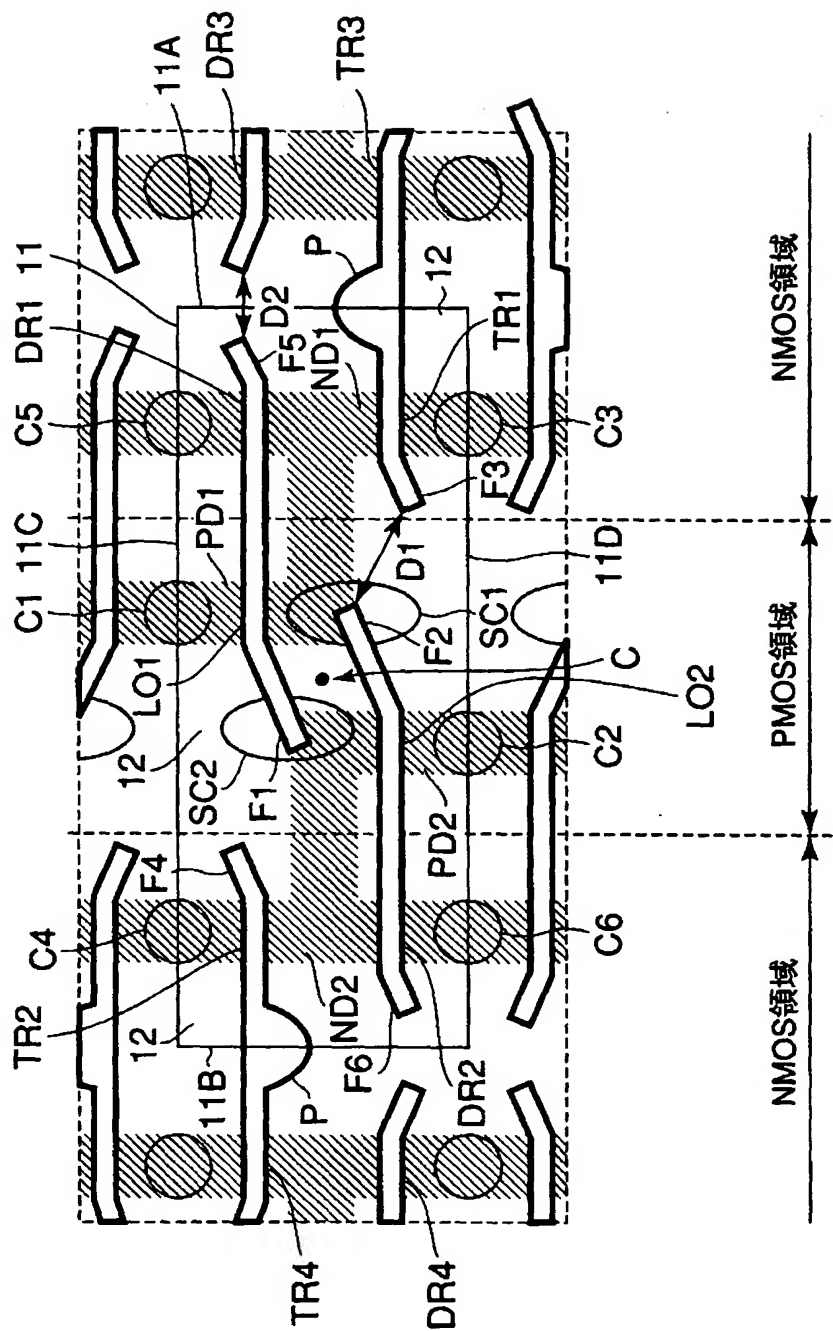
【図 9】 従来の S R A M セルを有する半導体装置の構成を示す平面図である。

【符号の説明】

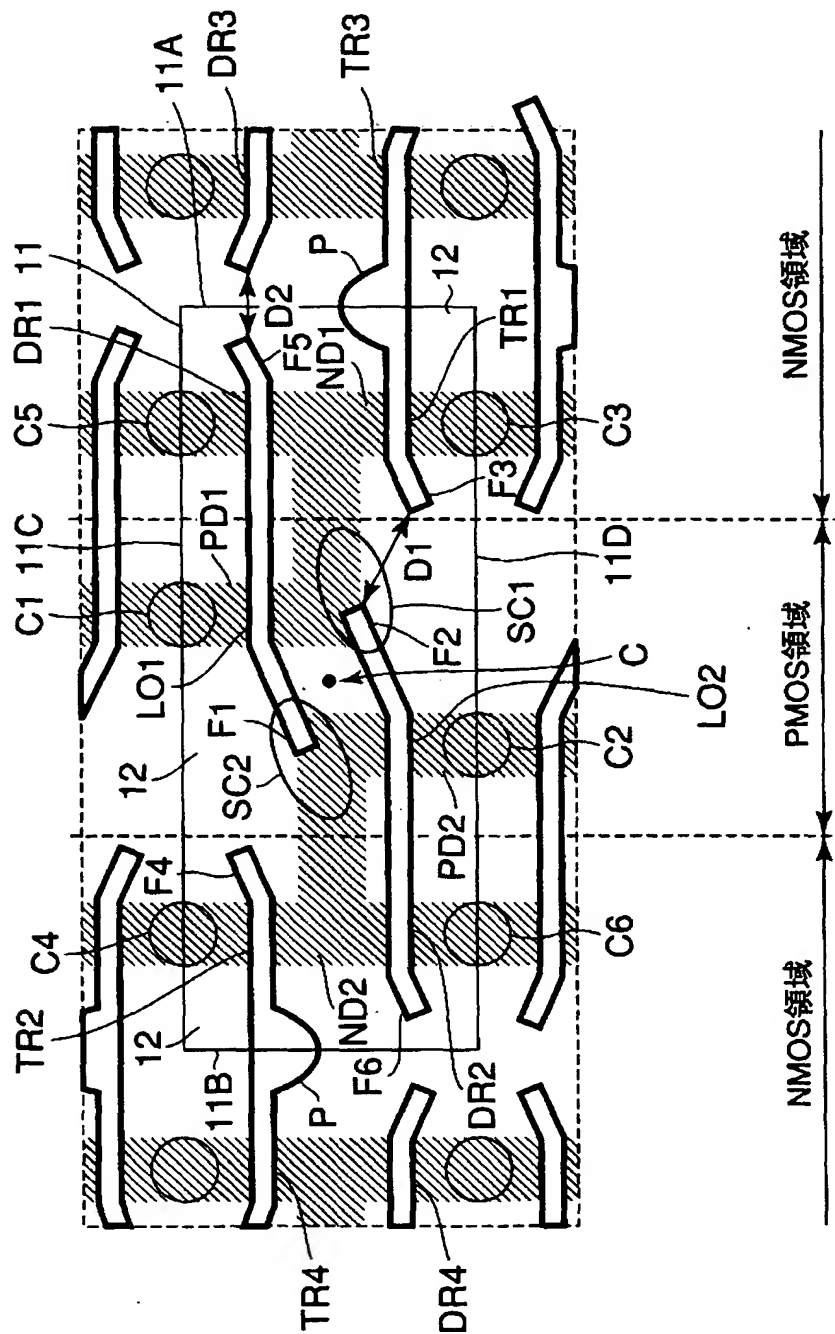
1 1 … S R A M セル、L O 1、L O 2 … ロード (load) トランジスタ、T R 1、T R 2、T R 3、T R 4 … トランスファ (transfer) トランジスタ、D R 1、D R 2、D R 3、D R 4 … ドライバ (driver) トランジスタ、1 2 … 素子分離領域、P D 1、P D 2、N D 1、N D 2 … 活性領域 (素子領域)、1 1 A、1 1 B … S R A M セル 1 1 の境界線 (短辺方向)、1 1 C、1 1 D … S R A M セル 1 1 の境界線 (長辺方向)、C 1、C 2、C 3、C 4、C 5、C 6 … コンタクト、F 1、F 2、F 3、F 4、F 5、F 6 … ゲートフリンジ、S C 1、S C 2 … 共通コンタク

ト、P…突起部。

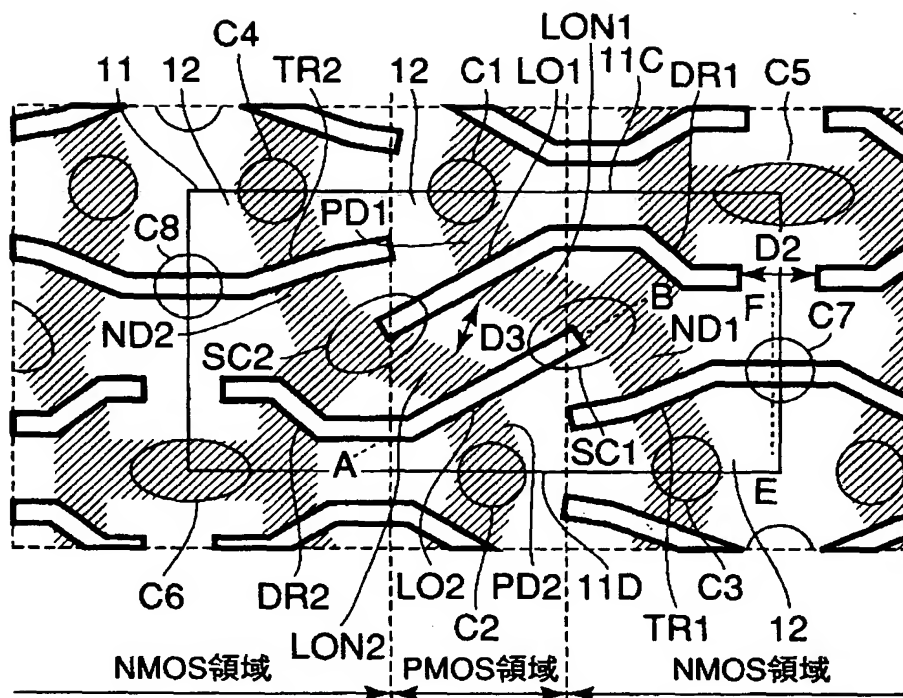
【書類名】 図面
【図 1】



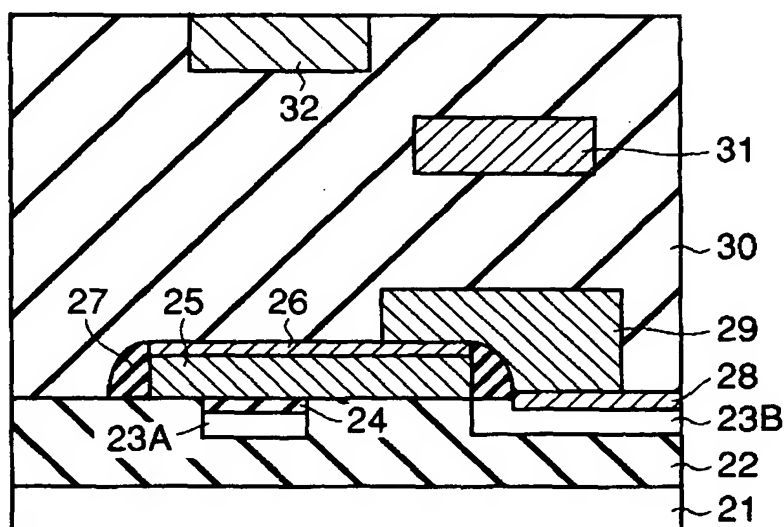
【图 2】



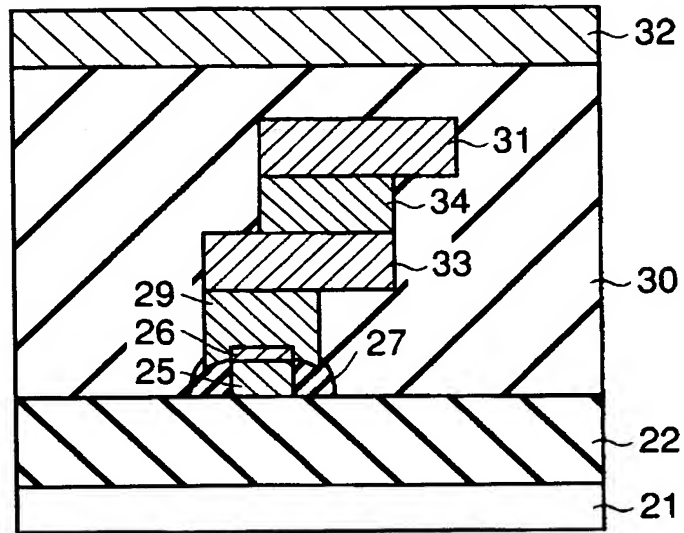
【図3】



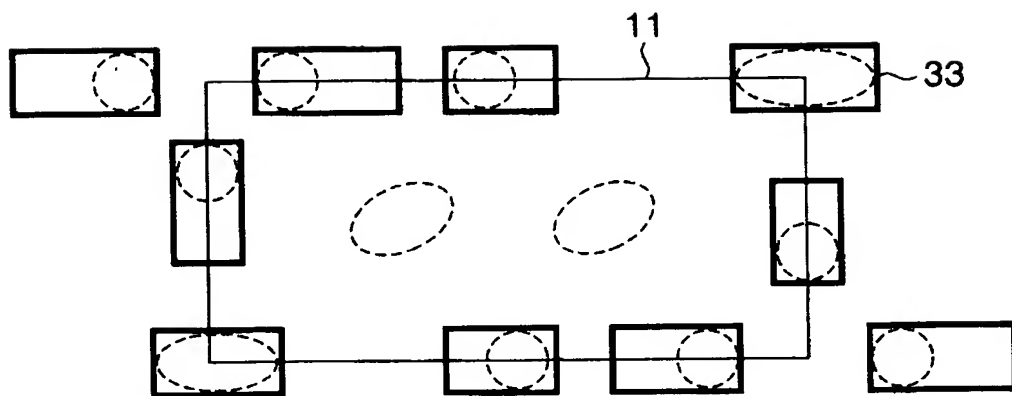
【図4】



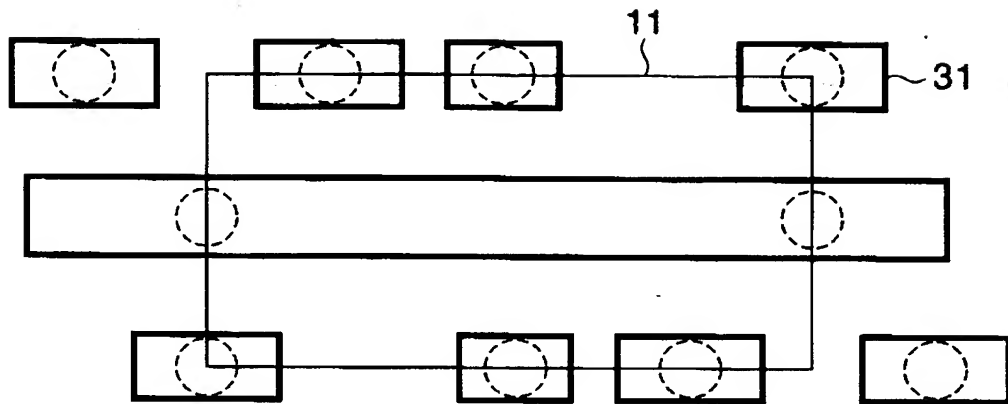
【図 5】



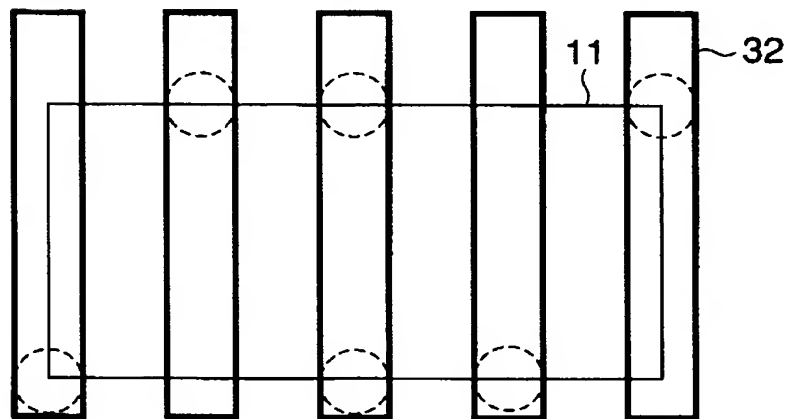
【図 6】



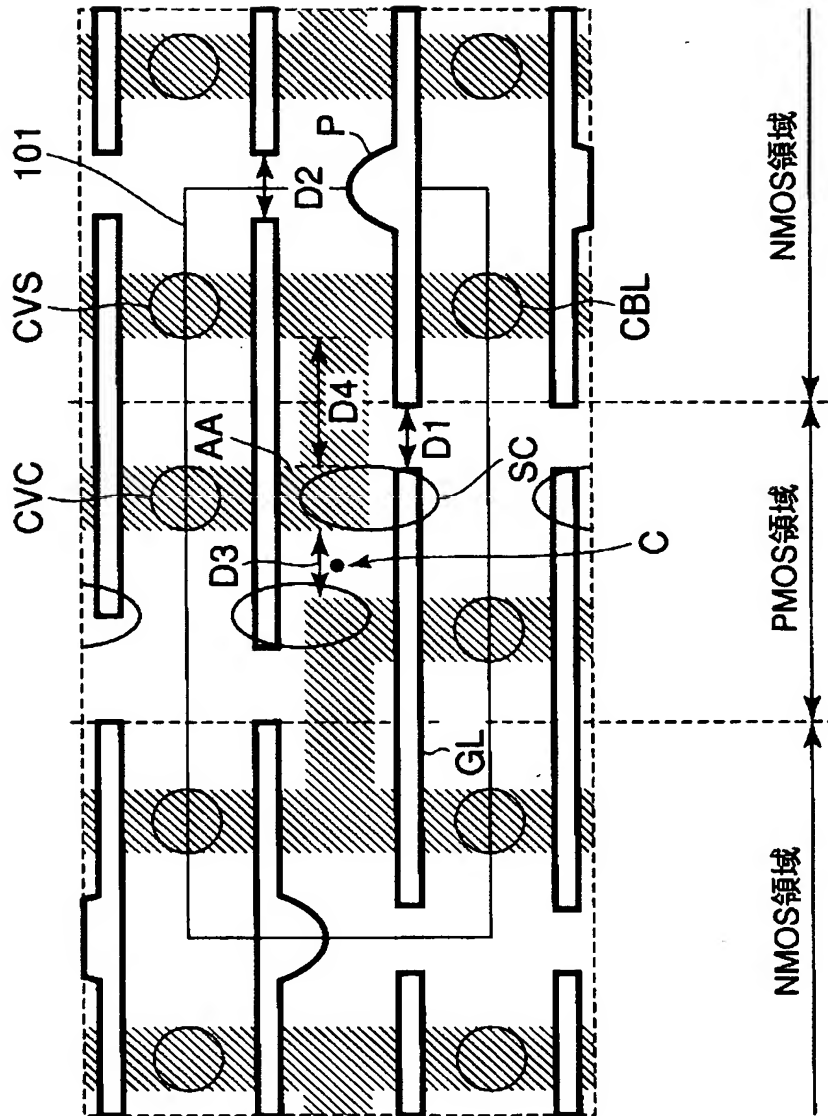
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】面積を小さくでき、かつリソグラフィのマージンを確保できるセルレイアウトを有する半導体装置を提供する。

【解決手段】活性領域PD1上から突出したロードトランジスタLO1のゲート配線の端部F1は、ロードトランジスタLO1のゲート幅方向に対して斜めに配置され、活性領域PD2上から突出したロードトランジスタLO2のゲート配線の端部F2は、ロードトランジスタLO2のゲート幅方向に対して斜めに配置されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝